



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 . . . 2 0 0 2 年 9 月 2 0 日
Date of Application:

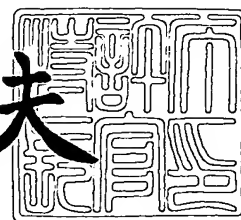
出 願 番 号 . . . 特 願 2 0 0 2 - 2 7 5 2 0 0
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 2 7 5 2 0 0]

出 願 人 . . . セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 8 月 1 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 6 2 5 4

【書類名】 特許願

【整理番号】 J0093474

【提出日】 平成14年 9月20日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133
G09G 3/30
G09G 3/36
H01L 29/786

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 竹中 敏

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤網 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、電気光学装置、電子機器、半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 ソース領域とドレイン領域との間にチャンネルを形成可能なチャンネル形成領域と、該チャンネル形成領域にゲート絶縁膜を介して対向するゲート電極とを有し、前記ソース領域および前記ドレイン領域は、前記ゲート電極に前記ゲート絶縁膜を介して対峙する部分に低濃度領域あるいはオフセット領域を備えたトランジスタが基板上に形成された半導体装置において、

前記チャンネル形成領域のうち、少なくとも前記ドレイン領域の低濃度領域あるいはオフセット領域に隣接する境界領域と重なる部分の前記ゲート絶縁膜の膜厚が、前記チャンネル形成領域のチャンネル長方向における中央部分と重なる部分の前記ゲート絶縁膜の膜厚に比して厚いことを特徴とする半導体装置。

【請求項 2】 請求項 1 において、前記チャンネル形成領域のうち、前記ソース領域の低濃度領域あるいはオフセット領域に隣接する境界領域と重なる部分の前記ゲート絶縁膜の膜厚が、前記チャンネル形成領域のチャンネル長方向における中央部分と重なる部分の前記ゲート絶縁膜の膜厚に比して厚いことを特徴とする半導体装置。

【請求項 3】 請求項 1 または 2 において、前記チャンネル形成領域、前記ソース領域、および前記ドレイン領域は、前記基板表面に形成された半導体膜に形成されていることを特徴とする半導体装置。

【請求項 4】 請求項 1 または 2 において、前記基板は、半導体基板であり、当該半導体基板に対して、前記チャンネル形成領域、前記ソース領域、および前記ドレイン領域が形成されていることを特徴とする半導体装置。

【請求項 5】 請求項 1 ないし 4 のいずれかに規定する半導体装置が、電気光学物質を保持する電気光学装置用基板として用いられ、

当該電気光学装置用基板では、画素スイッチング用トランジスタおよび画素電極を備えた画素がマトリクス状に形成されていることを特徴とする電気光学装置。

【請求項 6】 請求項 5 において、前記電気光学物質は、前記電気光学装置

用基板と対向基板との間に保持された液晶であることを特徴とする電気光学装置。

【請求項 7】 請求項 5 において、前記電気光学物質は、前記電気光学装置用基板上で発光素子を構成する有機エレクトルミネッセンス材料であることを特徴とする電気光学装置。

【請求項 8】 請求項 5 ないし 7 のいずれかに規定する電気光学装置を用いたことを特徴とする電子機器。

【請求項 9】 ソース領域とドレイン領域との間にチャンネルを形成可能なチャンネル形成領域と、該チャンネル形成領域にゲート絶縁膜を介して対向するゲート電極とを有し、前記ソース領域および前記ドレイン領域は、前記ゲート電極に前記ゲート絶縁膜を介して対峙する部分に低濃度領域あるいはオフセット領域を備えたトランジスタが基板上に形成された半導体装置の製造方法において、

前記チャンネル形成領域、前記ソース領域、および前記ドレイン領域を形成するための半導体層の表面に下層側ゲート絶縁膜を形成した後、

当該下層側ゲート絶縁膜の表面のうち、少なくとも前記チャンネル形成領域のチャンネル長方向における中央部分と重なる部分にレジスト層を形成するとともに、少なくとも当該チャンネル形成領域において前記ドレイン領域の低濃度領域あるいはオフセット領域に隣接する境界領域と重なる部分に対しては前記レジスト層の形成を避け、

次に、前記下層側ゲート絶縁膜および前記レジスト層の表面側に上層側ゲート絶縁膜を形成した後、前記レジスト層を当該レジスト層を覆う前記上層側ゲート絶縁膜とともに除去し、

しかる後に、前記半導体膜のうち、前記ゲート電極に対して前記ゲート絶縁膜を介して対峙する部分から外側にずれた領域に高濃度不純物を導入して高濃度ソース領域、および高濃度ドレイン領域を形成することを特徴とする半導体装置の製造方法。

【請求項 10】 ソース領域とドレイン領域との間にチャンネルを形成可能なチャンネル形成領域と、該チャンネル形成領域にゲート絶縁膜を介して対向するゲート電極とを有し、前記ソース領域および前記ドレイン領域は、前記ゲート電極に

前記ゲート絶縁膜を介して対峙する部分に低濃度領域あるいはオフセット領域を備えたトランジスタが基板上に形成された半導体装置の製造方法において、

前記チャネル形成領域、前記ソース領域、および前記ドレイン領域を形成するための半導体層の表面のうち、少なくとも前記チャネル形成領域のチャネル長方向における中央部分と重なる部分にレジスト層を形成するとともに、少なくとも当該チャネル形成領域において前記ドレイン領域の低濃度領域あるいはオフセット領域に隣接する境界領域と重なる部分に対しては前記レジスト層の形成を避け

次に、前記半導体層および前記レジスト層の表面側に下層側ゲート絶縁膜を形成した後、前記レジスト層を当該レジスト層を覆う前記下層側ゲート絶縁膜とともに除去し、

次に、前記半導体層および前記下層側ゲート絶縁膜の表面に上層側ゲート絶縁膜を形成し、

しかる後に、前記半導体膜のうち、前記ゲート電極に対して前記ゲート絶縁膜を介して対峙する部分から外側にずれた領域に高濃度不純物を導入して高濃度ソース領域、および高濃度ドレイン領域を形成することを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 9 または 10 において、前記レジスト層については、前記チャネル形成領域において前記低濃度ソース領域に隣接する境界領域と重なる部分に対しても形成を避けることを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 9 ないし 11 のいずれかにおいて、前記半導体層は、前記基板表面に形成された半導体膜であることを特徴とする半導体装置の製造方法。

【請求項 13】 請求項 9 ないし 11 のいずれかにおいて、前記半導体層は、前記基板を構成する半導体基板の表面であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、基板上にMIS (Metal-Insulator-Semiconductor) 型トランジスタ或いはMOS (Metal-Oxide-Semiconductor) 型トランジスタのような電界効果型トランジスタが形成された半導体装置、この半導体装置によって電気光学物質を保持した電気光学装置、この電気光学装置を用いた電子機器、および半導体装置の製造方法に関するものである。

【0002】

【従来の技術】

アクティブマトリクス型液晶装置や、有機エレクトロルミネッセンス表示装置などの電気光学装置では、画素スイッチング用のアクティブ素子として複数の薄膜トランジスタ（電界効果型トランジスタ／以下、TFT (Thin Film Transistor) という）が形成された基板が用いられている。

【0003】

このような基板に形成されるTFTの代表的な構造としては、図16 (A) に示すセルフアライン構造と、図16 (B) に示すLDD構造とがある。

【0004】

これらのTFTのうち、セルフアライン構造のTFTでは、図16 (A) に示すように、ゲート電極460の端部にゲート絶縁膜450を介して対向する部分のソース領域420、およびドレイン領域430が高濃度領域となっている。このため、図2に点線L2で示すように、オン電流レベルが高いという利点がある。

【0005】

しかしながら、セルフアライン構造のTFTでは、ドレイン端における電界強度が高いため、図2に点線L2で示すように、オフリーク電流レベル高く、かつ、その電流レベルが急峻に跳ね上がっているという問題点がある。

【0006】

これに対して、図16 (B) に示すLDD構造のTFTでは、ソース領域420およびドレイン領域430において、ゲート電極460の端部にゲート絶縁膜450を介して対向する部分が低濃度ソース領域421、および低濃度ドレイン

領域 431 となっている。従って、LDD 構造の TFT では、ドレイン端における電界強度が緩和されるため、図 2 に一点鎖線 L3 で示すように、オフリーク電流レベルが低く、かつ、電流レベルの急峻な跳ね上がりも解消される（例えば、非特許文献 1 参照）。

【0007】

なお、LDD 構造の TFT において、低濃度ソース領域 421、および低濃度ドレイン領域 431 に相当する部分をチャンネル形成領域と不純物濃度が等しいオフセット領域としたオフセットゲート構造の TFT もあるが、このような構造の TFT の特性などは、LDD 構造の TFT と略同等であるといえる。

【0008】

【非特許文献 1】

M. Yazaki, S. Takenaka and H. Ohshima: Jpn. J. Appl. Phys. vol. 31 (1992) Pt. 1, No 2 App. 206-209

【0009】

【発明が解決しようとする課題】

しかしながら、LDD 構造の TFT では、ソース領域 420 とドレイン領域 430 との間に低濃度領域が介在するため、図 2 に一点鎖線 L3 で示したように、オン電流レベルが低下する傾向にある。従って、さらにオフリーク電流を低減する必要がある場合に、LDD 構造の TFT において、低濃度ソース領域 421 および低濃度ドレイン領域 431 の寸法をさらに長くするなどの対策を行うと、オン電流が著しく低下してしまうという問題点がある。

【0010】

以上の問題点に鑑みて、本発明の課題は、LDD 構造あるいはオフセットゲート構造のトランジスタのオン電流特性を低下することなく、オフリーク電流特性をさらに向上可能な半導体装置、この半導体装置によって電気光学物質を保持した電気光学装置、この電気光学装置を用いた電子機器、および半導体装置の製造方法を提供することにある。

【0011】

【課題を解決するための手段】

上記課題を解決するために、本発明では、ソース領域とド레인領域との間にチャンネルを形成可能なチャンネル形成領域と、該チャンネル形成領域にゲート絶縁膜を介して対向するゲート電極とを備えたMIS型トランジスタが基板上に形成された半導体装置において、前記ソース領域および前記ド레인領域は、前記ゲート電極に前記ゲート絶縁膜を介して対峙する部分に低濃度領域あるいはオフセット領域を備え、前記チャンネル形成領域のうち、少なくとも前記ド레인領域の低濃度領域あるいはオフセット領域に隣接する境界領域と重なる部分の前記ゲート絶縁膜の膜厚が、前記チャンネル形成領域のチャンネル長方向における中央部分と重なる部分の前記ゲート絶縁膜の膜厚に比して厚いことを特徴とする。

【0012】

本願明細書における「MIS型」或いは「MOS型」とはゲート電極が金属に限らず、導電性の半導体をゲート電極に用いたものも含む意味である。

【0013】

本発明に係るトランジスタでは、ソース領域およびド레인領域は、ゲート電極にゲート絶縁膜を介して対峙する部分に低濃度領域あるいはオフセット領域を備えているため、ド레인端での電界強度が緩和されているので、オフリーク電流のレベルが低い。また、ド레인端のゲート絶縁膜が厚いので、ド레인端での電界強度がさらに緩和されているため、オフリーク電流レベルが低く、かつ、電流レベルの急峻な跳ね上がりも解消される。また、チャンネル形成領域の中央部分では、ゲート絶縁膜が薄いため、オフリーク電流レベルが低いわりには、オン電流レベルのレベルが高い。

【0014】

本発明においては、前記チャンネル形成領域のうち、前記ソース領域の低濃度領域あるいはオフセット領域に隣接する境界領域と重なる部分の前記ゲート絶縁膜の膜厚も、前記チャンネル形成領域のチャンネル長方向における中央部分と重なる部分の前記ゲート絶縁膜の膜厚に比して厚くてもよい。

【0015】

本発明において、前記チャンネル形成領域、前記ソース領域、および前記ドレイ

ン領域は、例えば、前記基板表面に形成された半導体膜に形成されている。

【0016】

本発明においては、前記基板が半導体基板であり、当該半導体基板に対して、前記チャネル形成領域、前記ソース領域、および前記ドレイン領域が形成されている場合もある。

【0017】

本発明に係る半導体装置は、電気光学物質を保持する電気光学装置用基板として用いられる場合があり、この場合、当該電気光学装置用基板には、画素スイッチング用MIS型トランジスタおよび画素電極を備えた画素がマトリクス状に形成されることになる。

【0018】

このような電気光学装置において、前記電気光学物質は、例えば、前記電気光学装置用基板と対向基板との間に保持された液晶である。

【0019】

また、前記電気光学物質は、前記電気光学装置用基板上で発光素子を構成する有機エレクトロルミネッセンス材料の場合もある。

【0020】

本発明を適用した電気光学装置は、携帯電話機あるいはモバイルコンピュータなどの電子機器の表示部として用いられる。

【0021】

本発明に係る半導体装置の製造方法では、前記チャネル形成領域、前記ソース領域、および前記ドレイン領域を形成するための半導体層の表面に下層側ゲート絶縁膜を形成した後、当該下層側ゲート絶縁膜の表面のうち、少なくとも前記チャネル形成領域のチャネル長方向における中央部分と重なる部分にレジスト層を形成するとともに、少なくとも当該チャネル形成領域において前記ドレイン領域の低濃度領域あるいはオフセット領域に隣接する境界領域と重なる部分に対しては前記レジスト層の形成を避け、次に、前記下層側ゲート絶縁膜および前記レジスト層の表面側に上層側ゲート絶縁膜を形成した後、前記レジスト層を当該レジスト層を覆う前記上層側ゲート絶縁膜とともに除去し、しかる後に、前記半導

体膜のうち、前記ゲート電極に対して前記ゲート絶縁膜を介して対峙する部分から外側にずれた領域に高濃度不純物を導入して高濃度ソース領域、および高濃度ドレイン領域を形成することを特徴とする。

【0022】

また、前記チャネル形成領域、前記ソース領域、および前記ドレイン領域を形成するための半導体層の表面のうち、少なくとも前記チャネル形成領域のチャネル長方向における中央部分と重なる部分にレジスト層を形成するとともに、少なくとも当該チャネル形成領域において前記ドレイン領域の低濃度領域あるいはオフセット領域に隣接する境界領域と重なる部分に対しては前記レジスト層の形成を避け、次に、前記半導体層および前記レジスト層の表面側に下層側ゲート絶縁膜を形成した後、前記レジスト層を当該レジスト層を覆う前記下層側ゲート絶縁膜とともに除去し、次に、前記半導体層および前記下層側ゲート絶縁膜の表面に上層側ゲート絶縁膜を形成し、しかる後に、前記半導体膜のうち、前記ゲート電極に対して前記ゲート絶縁膜を介して対峙する部分から外側にずれた領域に高濃度不純物を導入して高濃度ソース領域、および高濃度ドレイン領域を形成してもよい。

【0023】

本発明において、前記レジスト層については、前記チャネル形成領域において前記ソース領域の低濃度領域あるいはオフセット領域に隣接する境界領域と重なる部分に対しても形成を避けてもよい。このように構成すると、前記チャネル形成領域のうち、前記ソース領域の低濃度領域あるいはオフセット領域に隣接する境界領域と重なる部分の前記ゲート絶縁膜の膜厚も、前記チャネル形成領域のチャネル長方向における中央部分と重なる部分の前記ゲート絶縁膜の膜厚に比して厚い構造となる。

【0024】

【発明の実施の形態】

電気光学装置に用いられる TFT アレイ基板などに本発明を適用した例を説明する前に、図 1～図 4 を参照して、本発明の実施の形態 1～4 に係るトランジスタ単体（半導体装置単体）としての構成、および効果を説明する。

【0025】

図1 (A) ~ (D) はそれぞれ、本発明の実施の形態1 ~ 4に係るトランジスタ単体（半導体装置単体）の構成を示す断面図である。図2は、本発明を適用したトランジスタのオン電流特性、およびオフリーク電流特性を示すグラフである。図3および図4はそれぞれ、実施の形態1、3に係るMIS型トランジスタ単体（半導体装置単体）の製造方法を示す工程断面図である。

【0026】

[実施の形態1]

図1 (A) において、本形態の半導体装置では、基板400の上にLDD構造のトランジスタ40Aが形成されており、このトランジスタ40Aは、ソース領域420とドレイン領域430との間にチャネルを形成可能なチャネル形成領域410と、このチャネル形成領域410にゲート絶縁膜450を介して対向するゲート電極460とを備えている。ソース領域420およびドレイン領域430には、層間絶縁膜490のコンタクトホールを介してソース電極470およびドレイン電極480がそれぞれ電氣的に接続している。

【0027】

ソース領域420およびドレイン領域430は、ゲート電極460の端部に対してゲート絶縁膜450を介して対峙する部分に低濃度ソース領域421および低濃度ドレイン領域431を備え、その外側に高濃度ソース領域422および高濃度ドレイン領域432を備えている。

【0028】

本形態では、チャネル形成領域410のうち、低濃度ドレイン領域431に隣接する境界領域412と重なる部分のゲート絶縁膜450の膜厚は、チャネル形成領域410のチャネル長方向における中央部分411と重なる部分のゲート絶縁膜450の膜厚に比して厚い。また、チャネル形成領域410のうち、低濃度ソース領域421に隣接する境界領域413と重なる部分のゲート絶縁膜450の膜厚も、チャネル形成領域410のチャネル長方向における中央部分411と重なる部分のゲート絶縁膜450の膜厚に比して厚い。

【0029】

すなわち、ゲート絶縁膜 450 は、ソース領域 420、ドレイン領域 430、およびチャネル形成領域 410 を構成する半導体膜 440 の表面側全体に形成された下層側ゲート絶縁膜 451 と、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分を避けるように形成された上層側ゲート絶縁膜 452 とから構成されており、チャネル形成領域 410 のうち、低濃度ドレイン領域 431 および低濃度ソース領域 421 に隣接する境界領域 412、413 と重なる部分のゲート絶縁膜 450 は、下層側ゲート絶縁膜 451 と上層側ゲート絶縁膜 452 との二層構造になっている。これに対して、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分のゲート絶縁膜 450 は、下層側ゲート絶縁膜 451 のみから構成されている。

【0030】

このように構成したトランジスタ 40A では、ゲート電極 460 にゲート絶縁膜 450 を介して対峙する部分に低濃度ドレイン領域 431 および低濃度ソース領域 421 を備えているため、図 2 に実線 L1 で示すように、ドレイン端での電界強度が緩和されているので、オフリーク電流のレベルが低い。また、ドレイン端のゲート絶縁膜 450 が厚いので、ドレイン端での電界強度がさらに緩和されているため、オフリーク電流レベルが低く、かつ、電流レベルの急峻な跳ね上がりも解消される。それでも、チャネル形成領域 410 の中央部分 411 では、ゲート絶縁膜 450 が薄いので、オフリーク電流レベルが低いわりには、オン電流レベルのレベルが高い。

【0031】

このような構成の半導体装置を製造するにあたっては、図 3 (A) に示すように、基板 400 の表面にチャネル形成領域 410、ソース領域 420、およびドレイン領域 430 を形成するためのシリコン膜などの半導体膜 440 を形成した後、シリコン酸化膜やシリコン窒化膜などからなる下層側ゲート絶縁膜 451 を形成する。

【0032】

次に、図 3 (B) に示すように、下層側ゲート絶縁膜 451 の表面のうち、少なくともチャネル形成領域 410 のチャネル長方向における中央部分 411 と重

なる部分にレジスト層 401 を形成するとともに、チャネル形成領域 410 において低濃度ドレイン領域 431 および低濃度ソース領域 421 に隣接する境界領域 412、413 と重なる部分に対してはレジスト層 401 の形成を避ける。

【0033】

次に、図 3 (C) に示すように、上層側ゲート絶縁膜 451 およびレジスト層 401 の表面側にシリコン酸化膜やシリコン窒化膜などからなる上層側ゲート絶縁膜 452 を形成する。この際には、カバレッジの低い方法で上層側ゲート絶縁膜 452 を形成することが好ましい。

【0034】

次に、図 3 (D) に示すように、レジスト層 401 をレジスト層 401 を覆う上層側ゲート絶縁膜 452 とともに除去する（リフトオフ法）。その結果、ゲート絶縁膜 450 は、下層側ゲート絶縁膜 451 と上層側ゲート絶縁膜 452 との二層構造の厚い部分と、下層側ゲート絶縁膜 451 のみからなる薄い部分を有することになる。

【0035】

次に、図 3 (E) に示すように、ゲート電極 460 を形成した後、図 3 (F) に示すように、ゲート電極 460 をマスクにして半導体膜 440 に低濃度の不純物を導入して、ゲート電極 460 に対してセルフアライン的に低濃度ソース領域 421 および低濃度ドレイン領域 431 を形成する。

【0036】

しかる後には、図 3 (G) に示すように、ゲート電極 460 を広めに覆うレジストマスク 402 を形成した後、このレジストマスク 402 の開口から半導体膜 440 に高濃度の不純物を導入して、ゲート電極 460 の端部にゲート絶縁膜 450 を介して対峙する部分から外側にずれた部分に高濃度ソース領域 422 および高濃度ドレイン領域 432 を形成する。その結果、ゲート電極 460 の端部にゲート絶縁膜 450 を介して対峙する部分には、低濃度ソース領域 421 および低濃度ドレイン領域 431 が残る。

【0037】

[実施の形態 2]

実施の形態 1 で説明した半導体装置の製造方法において、図 3 (B) を参照して説明した工程で、レジスト層 401 の形成範囲を一点鎖線 401' で示す範囲まで広げれば、図 1 (B) に示す M I S 型トランジスタ 40B が形成される。

【0038】

この M I S 型トランジスタ 40B では、チャネル形成領域 410 のうち、低濃度ドレイン領域 431 に隣接する境界領域 412 と重なる部分のゲート絶縁膜 450 の膜厚が、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分のゲート絶縁膜 450 の膜厚に比して厚いが、低濃度ソース領域 421 に隣接する境界領域 413 と重なる部分のゲート絶縁膜 450 については、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分のゲート絶縁膜 450 と膜厚が等しい。

【0039】

その他の構成は、実施の形態 1 と同様であるため、共通する部分には同一の符号を付して図示することにしてそれらの説明を省略するが、本形態の M I S 型トランジスタ 40B も、オフリーク電流レベルが低いわりには、オン電流レベルのレベルが高いなど、実施の形態 1 と同様な効果を奏する。

【0040】

[実施の形態 3]

図 1 (C) において、本形態の半導体装置でも、トランジスタ 40C は、チャネル形成領域 410 のうち、低濃度ドレイン領域 431 に隣接する境界領域 412 と重なる部分のゲート絶縁膜 450 の膜厚は、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分のゲート絶縁膜 450 の膜厚に比して厚い。また、チャネル形成領域 410 のうち、低濃度ソース領域 421 に隣接する境界領域 413 と重なる部分のゲート絶縁膜 450 の膜厚も、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分のゲート絶縁膜 450 の膜厚に比して厚い。

【0041】

但し、本形態では、実施の形態 1 とは違って、ゲート絶縁膜 450 は、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分を除く

るように形成された下層側ゲート絶縁膜 451 と、その表面全体に形成された上層側ゲート絶縁膜 452 とから構成されている。このため、チャネル形成領域 410 のうち、ドレイン領域 430 およびソース領域 420 に隣接する境界領域 412、413 と重なる部分のゲート絶縁膜 450 は、下層側ゲート絶縁膜 451 と上層側ゲート絶縁膜 452 との二層構造になっているのに対して、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分のゲート絶縁膜 450 は、上層側ゲート絶縁膜 452 のみから構成されている。

【0042】

このように構成したトランジスタ 40C でも、オフリーク電流レベルが低いわりには、オン電流レベルのレベルが高いなど、実施の形態 1 と同様な効果を奏する。

【0043】

このような構成の半導体装置を製造するにあたっては、図 4 (A) に示すように、基板 400 の表面にチャネル形成領域 410、ソース領域 420、およびドレイン領域 430 を形成するための半導体膜 440 を形成する。

【0044】

次に、半導体膜 440 の表面のうち、少なくともチャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分にレジスト層 401 を形成するとともに、チャネル形成領域 410 において低濃度ドレイン領域 431 および低濃度ソース領域 421 に隣接する境界領域 412、413 と重なる部分に対してはレジスト層 401 の形成を避ける。

【0045】

次に、図 4 (B) に示すように、半導体膜 440 およびレジスト層 401 の表面側に下層側ゲート絶縁膜 451 を形成した後、図 4 (C) に示すように、レジスト層 401 をレジスト層 401 を覆う下層側ゲート絶縁膜 451 とともに除去する。

【0046】

次に、図 4 (D) に示すように、表面全体に上層側ゲート絶縁膜 452 を形成する。その結果、ゲート絶縁膜 450 は、下層側ゲート絶縁膜 451 と上層側ゲ

ート絶縁膜 452 との二層構造の厚い部分と、下層側ゲート絶縁膜 451 のみからなる薄い部分を有することになる。

【0047】

次に、図 4 (E) に示すように、ゲート電極 460 を形成した後、図 4 (F) に示すように、ゲート電極 460 をマスクにして半導体膜 440 に低濃度の不純物を導入して、ゲート電極 460 に対してセルフアライン的に低濃度ソース領域 421 および低濃度ドレイン領域 431 を形成する。

【0048】

しかる後には、図 4 (G) に示すように、ゲート電極 460 を広めに覆うレジストマスク 402 を形成した後、このレジストマスク 402 の開口から半導体膜 440 に高濃度の不純物を導入して、ゲート電極 460 の端部にゲート絶縁膜 450 を介して対峙する部分から外側にずれた部分に高濃度ソース領域 422 および高濃度ドレイン領域 432 を形成する。その結果、ゲート電極 460 の端部にゲート絶縁膜 450 を介して対峙する部分には、低濃度ソース領域 421 および低濃度ドレイン領域 431 が残る。

【0049】

[実施の形態 4]

実施の形態 3 で説明した半導体装置の製造方法において、図 4 (A) を参照して説明した工程で、レジスト層 401 の形成範囲を一点鎖線 401' で示す範囲まで広げれば、図 1 (D) に示す M I S 型トランジスタ 40D が形成される。

【0050】

この M I S 型トランジスタ 40D では、チャネル形成領域 410 のうち、低濃度ドレイン領域 431 に隣接する境界領域 412 と重なる部分のゲート絶縁膜 450 の膜厚が、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分のゲート絶縁膜 450 の膜厚に比して厚いが、低濃度ソース領域 421 に隣接する境界領域 413 と重なる部分のゲート絶縁膜 450 については、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分のゲート絶縁膜 450 と膜厚が等しい。

【0051】

その他の構成は、実施の形態 3 と同様であるため、共通する部分には同一の符号を付して図示することにしてそれらの説明を省略するが、本形態の M I S 型トランジスタ 40D も、オフリーク電流レベルが低いわりには、オン電流レベルのレベルが高いなど、実施の形態 1 と同様な効果を奏する。

【0052】

[その他の実施の形態]

上記形態は、L D D 構造の T F T をベースに本発明を適用した例であったが、オフセットゲート構造の T F T をベースに本発明を適用してもよい。この場合は図 1 において低濃度ソース領域 421、および低濃度ドレイン領域 431 がそれぞれ、チャネル形成領域 410 と不純物濃度が等しいオフセット領域となるだけであり、製造方法において、図 3 (F)、および図 4 (F) を参照して説明した低濃度の不純物の導入工程を省略するだけであるため、説明を省略する。

【0053】

また、上記形態では、基板 400 上に形成した半導体膜 440 を用いて、M I S 型トランジスタとして T F T を製造したが、半導体層として、半導体基板上にエピタキシャル成長させた半導体層、あるいは半導体基板の表面自身を用いてもよい。この場合の構造、および製造方法は、それらの半導体層が半導体膜 440 に代わるだけであるため、説明を省略する。

【0054】

[電気光学装置への適用例]

次に、本発明に係る半導体装置を電気光学物質を保持する電気光学装置用基板 (T F T アレイ基板) として用いる例を説明する。

【0055】

(全体構成)

図 5 は、電気光学装置をその上に形成された各構成要素と共に対向基板の側から見た平面図であり、図 6 は、対向基板を含めて示す図 1 の H-H' 断面図である。

【0056】

図 5 において、本形態の電気光学装置 100 は、アクティブマトリクス型の液

晶装置であり、TFTアレイ基板10の上には、シール材107が対向基板20の縁に沿うように設けられている。シール材107の外側の領域には、データ線駆動回路101および実装端子102（信号入力端子）がTFTアレイ基板10の一辺に沿って設けられており、走査線駆動回路104が、この一辺に隣接する2辺に沿って形成されている。更にTFTアレイ基板10の残る一辺には、画像表示領域10aの両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられており、更に、額縁108の下などを利用して、プリチャージ回路や検査回路が設けられることもある。また、対向基板20のコーナ部の少なくとも1箇所においては、TFTアレイ基板10と対向基板20との間で電氣的導通をとるための上下導通材106が形成されている。

【0057】

そして、図6に示すように、図5に示したシール材107とほぼ同じ輪郭をもつ対向基板20がこのシール材107によりTFTアレイ基板10に固着されている。なお、シール材107は、TFTアレイ基板10と対向基板20とをそれらの周辺で貼り合わせるための光硬化樹脂や熱硬化性樹脂などからなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー、あるいはガラスビーズ等のギャップ材が配合されている。

【0058】

詳しくは後述するが、TFTアレイ基板10には、画素電極9aがマトリクス状に形成されている。これに対して、対向基板20には、シール材107の内側領域に遮光性材料からなる額縁108が形成され、その内側が画像表示領域10aとされている。さらに、TFTアレイ基板10に形成されている画素電極（後述する）の縦横の境界領域と対向する領域にブラックマトリクス、あるいはブラックストライプなどと称せられる遮光膜23が形成され、その上層側には、ITO膜からなる対向電極21が形成されている。

【0059】

このように形成した電気光学装置100は、投射型表示装置（液晶プロジェクタ）に使用される場合、3枚の電気光学装置100がRGB用のライトバルブとして各々使用され、各電気光学装置100の各々には、RGB色分解用のダイク

ロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、前記した各形態の電気光学装置 100 にはカラーフィルタが形成されていない。但し、対向基板 20 において各画素電極 9a に対向する領域に RGB のカラーフィルタをその保護膜とともに形成することにより、投射型表示装置以外にも、後述するモバイルコンピュータ、携帯電話機、液晶テレビなどといった電子機器のカラー表示装置として用いることができる。

【0060】

さらに、対向基板 20 に対して、各画素に対応するようにマイクロレンズを形成することにより、入射光の画素電極 9a に対する集光効率を高めることができるので、明るい表示を行うことができる。さらにまた、対向基板 20 に何層もの屈折率の異なる干涉層を積層することにより、光の干涉作用を利用して、RGB 色をつくり出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付きの対向基板によれば、より明るいカラー表示を行うことができる。

【0061】

(電気光学装置 100 の構成および動作)

次に、アクティブマトリクス型の電気光学装置 100 の構成および動作について、図 7 ないし図 9 を参照して説明する。

【0062】

図 7 は、電気光学装置 100 の画像表示領域 10a を構成するためにマトリクス状に形成された複数の画素における各種素子、配線などの等価回路図である。図 8 は、データ線、走査線、画素電極などが形成された TFT アレイ基板において相隣接する画素の平面図である。図 9 は、図 8 の A-A' 線に相当する位置での断面、および TFT アレイ基板と対向基板との間に電気光学物質としての液晶を封入した状態の断面を示す説明図である。なお、これらの図においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0063】

図 7 において、電気光学装置 100 の画像表示領域 10a において、マトリクス状に形成された複数の画素の各々には、画素電極 9a、および画素電極 9a を

制御するための画素スイッチング用の T F T 3 0 が形成されており、画素信号を供給するデータ線 6 a が当該 T F T 3 0 のソースに電氣的に接続されている。データ線 6 a に書き込む画素信号 S 1、S 2・・・S n は、この順に線順次に供給する。また、T F T 3 0 のゲートには走査線 3 a が電氣的に接続されており、所定のタイミングで、走査線 3 a にパルス的に走査信号 G 1、G 2・・・G m を、この順に線順次で印加するように構成されている。画素電極 9 a は、T F T 3 0 のドレインに電氣的に接続されており、スイッチング素子である T F T 3 0 を一定期間だけそのオン状態とすることにより、データ線 6 a から供給される画素信号 S 1、S 2・・・S n を各画素に所定のタイミングで書き込む。このようにして画素電極 9 a を介して液晶に書き込まれた所定レベルの画素信号 S 1、S 2、・・・S n は、対向基板 2 0 に形成された対向電極 2 1（図 6 参照）との間で一定期間保持される。

【0064】

ここで、保持された画素信号がリークするのを防ぐことを目的に、画素電極 9 a と対向電極との間に形成される液晶容量と並列に蓄積容量 7 0（キャパシタ）を付加することがある。この蓄積容量 7 0 によって、画素電極 9 a の電圧は、例えば、ソース電圧が印加された時間よりも 3 桁も長い時間だけ保持される。これにより、電荷の保持特性は改善され、コントラスト比の高い表示を行うことのできる電気光学装置が実現できる。なお、蓄積容量 7 0 を形成する方法としては、容量を形成するための配線である容量線 3 b との間に形成する場合、あるいは前段の走査線 3 a との間に形成する場合もいずれであってもよい。

【0065】

図 8 において、電気光学装置 1 0 0 の T F T アレイ基板 1 0 上には、マトリクス状に複数の透明な画素電極 9 a（点線で囲まれた領域）が各画素毎に形成され、画素電極 9 a の縦横の境界領域に沿ってデータ線 6 a（一点鎖線で示す）、走査線 3 a（実線で示す）、および容量線 3 b（実線で示す）が形成されている。

【0066】

図 9 に示すように、T F T アレイ基板 1 0 の基体は、石英基板や耐熱性ガラス板などの透明基板 1 0 b からなり、対向基板 2 0 の基体は、石英基板や耐熱性ガ

ラス板などの透明基板 20b からなる。TFT アレイ基板 10 には画素電極 9a が形成されており、その上側には、ラビング処理等の所定の配向処理が施されたポリイミド膜などからなる配向膜 16 が形成されている。画素電極 9a は、たとえば ITO (Indium Tin Oxide) 膜等の透明な導電性膜からなる。また、配向膜 16 は、たとえばポリイミド膜などの有機膜に対してラビング処理を行うことにより形成される。なお、対向基板 20 において、対向電極 21 の上層側にも、ポリイミド膜からなる配向膜 22 が形成され、この配向膜 22 も、ポリイミド膜に対してラビング処理が施された膜である。

【0067】

TFT アレイ基板 10 には、透明基板 10b の表面に下地保護膜 12 が形成されているとともに、その表面側において、各画素電極 9a に隣接する位置に、各画素電極 9a をスイッチング制御する画素スイッチング用の TFT 30 が形成されている。

【0068】

図 8 および図 9 に示すように、画素スイッチング用の TFT 30 は、島状のシリコン膜からなる半導体膜 1a に対して、チャネル形成領域 1a'、低濃度ソース領域 1b、高濃度ソース領域 1d、低濃度ドレイン領域 1c、並びに高濃度ドレイン領域 1e が形成されている。また、半導体膜 1a の上層側には、この半導体膜 1a と走査線 3a とを絶縁するゲート絶縁膜 2 が形成されている。

【0069】

ここで、TFT 30 は、LDD 構造を有しているが、さらに図 1 を参照して説明したように、ドレイン端のゲート絶縁膜 2 が厚い。従って、TFT 30 は、オフリーク電流レベルが低いわりには、オン電流レベルが高い。

【0070】

このように構成した TFT 30 の表面側には、シリコン酸化膜からなる層間絶縁膜 4、7 が形成されている。層間絶縁膜 4 の表面には、データ線 6a が形成され、このデータ線 6a は、層間絶縁膜 4 に形成されたコンタクトホール 5 を介して高濃度ソース領域 1d に電氣的に接続している。層間絶縁膜 7 の表面には ITO 膜からなる画素電極 9a が形成されている。画素電極 9a は、層間絶縁膜 7 に

形成されたコンタクトホール 7 a を介してドレイン電極 6 b に電氣的に接続し、このドレイン電極 6 b は、層間絶縁膜 4 およびゲート絶縁膜 2 に形成されたコンタクトホール 8 を介して高濃度ドレイン領域 1 e に電氣的に接続している。この画素電極 9 a の表面側にはポリイミド膜からなる配向膜 16 が形成されている。

【0071】

また、高濃度ドレイン領域 1 e からの延設部分 1 f（下電極）に対しては、ゲート絶縁膜 2 a と同時形成された絶縁膜（誘電体膜）を介して、走査線 3 a と同層の容量線 3 b が上電極として対向することにより、蓄積容量 70 が構成されている。

【0072】

このように構成した TFT アレイ基板 10 と対向基板 20 とは、画素電極 9 a と対向電極 21 とが対面するように配置され、かつ、これらの基板間には、前記のシール材 53（図 5 および図 6 を参照）により囲まれた空間内に電気光学物質としての液晶 50 が封入され、挟持されている。液晶 50 は、画素電極 9 a からの電界が印加されていない状態で配向膜により所定の配向状態をとる。液晶 50 は、例えば一種または数種のネマティック液晶を混合したものなどからなる。

【0073】

なお、対向基板 20 および TFT アレイ基板 10 の光入射側の面あるいは光出射側には、使用する液晶 50 の種類、すなわち、TN（ツイステッドネマティック）モード、STN（スーパー TN）モード等々の動作モードや、ノーマリホワイトモード／ノーマリブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の向きに配置される。

【0074】

（周辺回路の構成）

再び図 5 において、本形態の電気光学装置 100 では、TFT アレイ基板 10 の表面側のうち、画像表示領域 10 a の周辺領域を利用してデータ線駆動回路 101 および走査線駆動回路 104 が形成されている。このようなデータ線駆動回路 101 および走査線駆動回路 104 は、基本的には、図 10 および図 11 に示す N チャネル型の TFT と P チャネル型の TFT とによって構成されている。

【0075】

図10は、走査線駆動回路104およびデータ線駆動回路101等の周辺回路を構成するTFTの構成を示す平面図である。図11は、この周辺回路を構成するTFTを図6のB-B'線で切断したときの断面図である。

【0076】

図10および図11において、周辺回路を構成するTFTは、Pチャネル型のTFT80とNチャネル型のTFT90とからなる相補型TFTとして構成されている。これらの駆動回路用のTFT80、90を構成する半導体膜60（輪郭を点線で示す）は、基板10b上に形成された下地保護膜12を介して島状に形成されている。

【0077】

TFT80、90には、高電位線71と低電位線72がコンタクトホール63、64を介して、半導体膜60のソース領域に電氣的にそれぞれ接続されている。また、入力配線66は、共通のゲート電極65にそれぞれ接続されており、出力配線67は、コンタクトホール68、69を介して、半導体膜60のドレイン領域に電氣的にそれぞれ接続されている。

【0078】

このような周辺回路領域も、画像表示領域10aと同様なプロセスを経て形成されるため、周辺回路領域にも、層間絶縁膜4、7およびゲート絶縁膜2が形成されている。

【0079】

また、駆動回路用のTFT80、90も、画素スイッチング用のTFT30と同様、チャネル形成領域81、91の両側には、低濃度ソース領域83、93、高濃度ソース領域82、92、低濃度ドレイン領域85、95、および高濃度ドレイン領域84、94とを備えている。

【0080】

ここで、TFT80、90は、LDD構造を有しているが、さらに図1を参照して説明したように、ドレイン端のゲート絶縁膜2が厚い。従って、TFT80、90は、オフリーク電流レベルが低いわりには、オン電流レベルが高い。

【0081】**[その他の適用例]**

上記形態では、半導体装置として、アクティブマトリクス型電気光学装置に用いる TFT アレイ基板を例に説明したが、液晶以外の電気光学物質を用いた電気光学装置、例えば、図 12 および図 13 を参照して以下に説明する有機エレクトロルミネッセンス表示装置に用いる TFT アレイ基板、あるいは電気光学装置以外の半導体装置の製造などに本発明を適用してもよい。

【0082】

図 12 は、電荷注入型の有機薄膜エレクトロルミネッセンス素子を用いたアクティブマトリクス型電気光学装置のブロック図である。図 13 (A)、(B) はそれぞれ、図 12 に示す電気光学装置に形成した画素領域を拡大して示す平面図、およびその断面図である。

【0083】

図 12 に示す電気光学装置 100 p は、有機半導体膜に駆動電流が流れることによって発光する EL (エレクトロルミネッセンス) 素子、または LED (発光ダイオード) 素子などの発光素子を TFT で駆動制御するアクティブマトリクス型の表示装置であり、このタイプの電気光学装置に用いられる発光素子はいずれも自己発光するため、バックライトを必要とせず、また、視野角依存性が少ないなどの利点がある。

【0084】

ここに示す電気光学装置 100 p では、TFT アレイ基板 10 p 上に、複数の走査線 3 p と、走査線 3 p の延設方向に対して交差する方向に延設された複数のデータ線 6 p と、これらのデータ線 6 p に並列する複数の共通給電線 23 p と、データ線 6 p と走査線 3 p との交差点に対応する画素領域 15 p とが構成されている。データ線 6 p に対しては、シフトレジスタ、レベルシフタ、ビデオライン、アナログスイッチを備えるデータ側駆動回路 101 p が構成されている。走査線 3 p に対しては、シフトレジスタおよびレベルシフタを備える走査側駆動回路 104 p が構成されている。

【0085】

また、画素領域 15 p の各々には、走査線 3 p を介して走査信号がゲート電極に供給される第 1 の TFT 3 1 p (半導体素子) と、この第 1 の TFT 3 1 p を介してデータ線 6 p から供給される画像信号を保持する保持容量 3 3 p (薄膜キャパシタ素子) と、この保持容量 3 3 p によって保持された画像信号がゲート電極に供給される第 2 の TFT 3 2 p (半導体素子) と、第 2 の TFT 3 2 p を介して共通給電線 2 3 p に電氣的に接続したときに共通給電線 2 3 p から駆動電流が流れ込む発光素子 4 0 p とが構成されている。

【0086】

本形態では、図 13 (A)、(B) に示すように、いずれの画素領域 15 p においても、ガラスなどからなる基板 10 p' の表面に下地保護膜 1 1 p が形成されているとともに、この下地保護膜 1 1 p の表面に島状に形成された 2 つの半導体膜を利用して第 1 の TFT 3 1 p および第 2 の TFT 3 2 p が形成されている。また、第 2 の TFT 3 2 p のソース・ドレイン領域の一方には、中継電極 3 5 p が電氣的に接続し、この中継電極 3 5 p には画素電極 4 1 p が電氣的に接続している。この画素電極 4 1 p の上層側には、正孔注入層 4 2 p、有機エレクトロルミネッセンス材料層としての有機半導体膜 4 3 p、リチウム含有アルミニウム、カルシウムなどの金属膜からなる対向電極 2 0 p が積層されている。ここで、対向電極 2 0 p は、データ線 6 p などを跨いで複数の画素領域 15 p にわたって形成されている。

【0087】

第 2 の TFT 3 2 p のソース・ドレイン領域のもう一方には、コンタクトホールを介して共通給電線 2 3 p が電氣的に接続している。これに対して、第 1 の TFT 3 1 p では、そのソース・ドレイン領域の一方に電氣的に接続する電位保持電極 3 5 p は、第 2 のゲート電極 7 2 p の延設部分 7 2 0 p に電氣的に接続している。この延設部分 7 2 0 p に対しては、その下層側において上層側ゲート絶縁膜 5 0 p を介して半導体膜 4 0 0 p が対向し、この半導体膜 4 0 0 p は、それに導入された不純物によって導電化されているので、延設部分 7 2 0 p および上層側ゲート絶縁膜 5 0 p とともに保持容量 3 3 p を構成している。ここで、半導体膜 4 0 0 p に対しては層間絶縁膜 5 1 p のコンタクトホールを介して共通給電線

23pが電氣的に接続している。

【0088】

従って、保持容量33pは、第1のTF T 3 1 pを介してデータ線6pから供給される画像信号を保持するので、第1のTF T 3 1 pがオフになっても、第2のTF T 3 2 pのゲート電極31pは画像信号に相当する電位に保持される。それ故、発光素子40pには共通給電線23pから駆動電流が流れ続けるので、発光素子40pは発光し続け、画像を表示する。

【0089】

このようなTF T アレイ基板10pにおいても、第1のTF T 3 1 pおよび第2のTF T 3 2 pに対して、図1を参照して説明した構造を適用すれば、電氣的特性の向上や信頼性の向上を図ることができる。

【0090】

[電子機器への適用]

次に、本発明を適用した電氣光学装置100、100pを備えた電子機器の一例を、図14、図15(A)、(B)を参照して説明する。

【0091】

図14は、上記の電氣光学装置と同様に構成された電氣光学装置100を備えた電子機器の構成をブロック図である。図15(A)、(B)はそれぞれ、本発明に係る電氣光学装置を用いた電子機器の一例としてのモバイル型のパーソナルコンピュータの説明図、および携帯電話機の説明図である。

【0092】

図14において、電子機器は、表示情報出力源1000、表示情報処理回路1002、駆動回路1004、電氣光学装置100、100p、クロック発生回路1008、および電源回路1010を含んで構成される。表示情報出力源1000は、ROM (Read Only Memory)、RAM (Random Access Memory)、光ディスクなどのメモリ、テレビ信号の画信号を同調して出力する同調回路などを含んで構成され、クロック発生回路1008からのクロックに基づいて、所定フォーマットの画像信号を処理して表示情報処理回路1002に出力する。この表示情報出力回路1002は、たとえば増幅・

極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路、あるいはクランプ回路等の周知の各種処理回路を含んで構成され、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKとともに駆動回路1004に出力する。駆動回路1004は、電気光学装置100、100pを駆動する。電源回路1010は、上述の各回路に所定の電源を供給する。なお、電気光学装置100、100pを構成するTFTアレイ基板の上に駆動回路1004を形成してもよく、それに加えて、表示情報処理回路1002もTFTアレイ基板の上に形成してもよい。

【0093】

このような構成の電子機器としては、投射型液晶表示装置（液晶プロジェクタ）、マルチメディア対応のパーソナルコンピュータ（PC）、およびエンジニアリング・ワークステーション（EWS）、ページャ、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型またはモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルなどを挙げることができる。

【0094】

すなわち、図15（A）に示すように、パーソナルコンピュータ180は、キーボード181を備えた本体部182と、表示ユニット183とを有する。表示ユニット183は、前述した電気光学装置100、100pを含んで構成される。

【0095】

また、図15（B）に示すように、携帯電話機190は、複数の操作ボタン191と、前述した電気光学装置100、100pからなる表示部とを有している。

【0096】

【発明の効果】

以上説明したように、本発明を適用したMIS型トランジスタでは、ドレイン端のゲート絶縁膜が厚いので、ドレイン端での電界強度が緩和されるため、オフリーク電流レベルが低く、かつ、電流レベルの急峻な跳ね上がりも解消される。

また、チャネル形成領域の中央部分では、ゲート絶縁膜が薄く、かつ、LDD構造と違って低濃度領域がないので、オン電流レベルも高い。それ故、本発明によれば、オン電流特性、およびオフリーク電流特性の双方を向上することができる。

【図面の簡単な説明】

【図 1】 (A) ～ (D) はそれぞれ、本発明の実施の形態 1 ～ 4 に係るトランジスタ単体（半導体装置単体）の構成を示す断面図である。

【図 2】 本発明を適用したトランジスタのオン電流特性、およびオフリーク電流特性を示すグラフである。

【図 3】 本発明の実施の形態 1 に係るトランジスタの製造方法を示す工程断面図である。

【図 4】 本発明の実施の形態 1 に係るトランジスタの製造方法を示す工程断面図である。

【図 5】 本発明を適用した電気光学装置をその上に形成された各構成要素と共に、対向基板の側から見た平面図である。

【図 6】 図 5 の H-H' 断面図である。

【図 7】 電気光学装置の画像表示領域において、マトリクス状に配置された複数の画素に形成された各種素子、配線などの等価回路図である。

【図 8】 電気光学装置において、TFT アレイ基板に形成された各画素の構成を示す平面図である。

【図 9】 図 5 および図 6 に示す電気光学装置の画像表示領域の一部を図 4 の A-A' 線に相当する位置で切断したときの断面図である。

【図 10】 図 5 および図 6 に示す電気光学装置の画像表示領域の周辺領域に形成した回路の平面図である。

【図 11】 図 10 に示す駆動回路用の TFT の断面図である。

【図 12】 電荷注入型の有機薄膜エレクトロルミネセンス素子を用いたアクティブマトリクス型電気光学装置のブロック図である。

【図 13】 (A)、(B) はそれぞれ、図 12 に示す電気光学装置に形成した画素領域を拡大して示す平面図、およびその断面図である。

【図 14】 本発明に係る電気光学装置を表示装置として用いた電子機器の回路構成を示すブロック図である。

【図 15】 (A)、(B) はそれぞれ、本発明に係る電気光学装置を用いた電子機器の一実施形態としてのモバイル型のパーソナルコンピュータを示す説明図、および携帯電話機の説明図である。

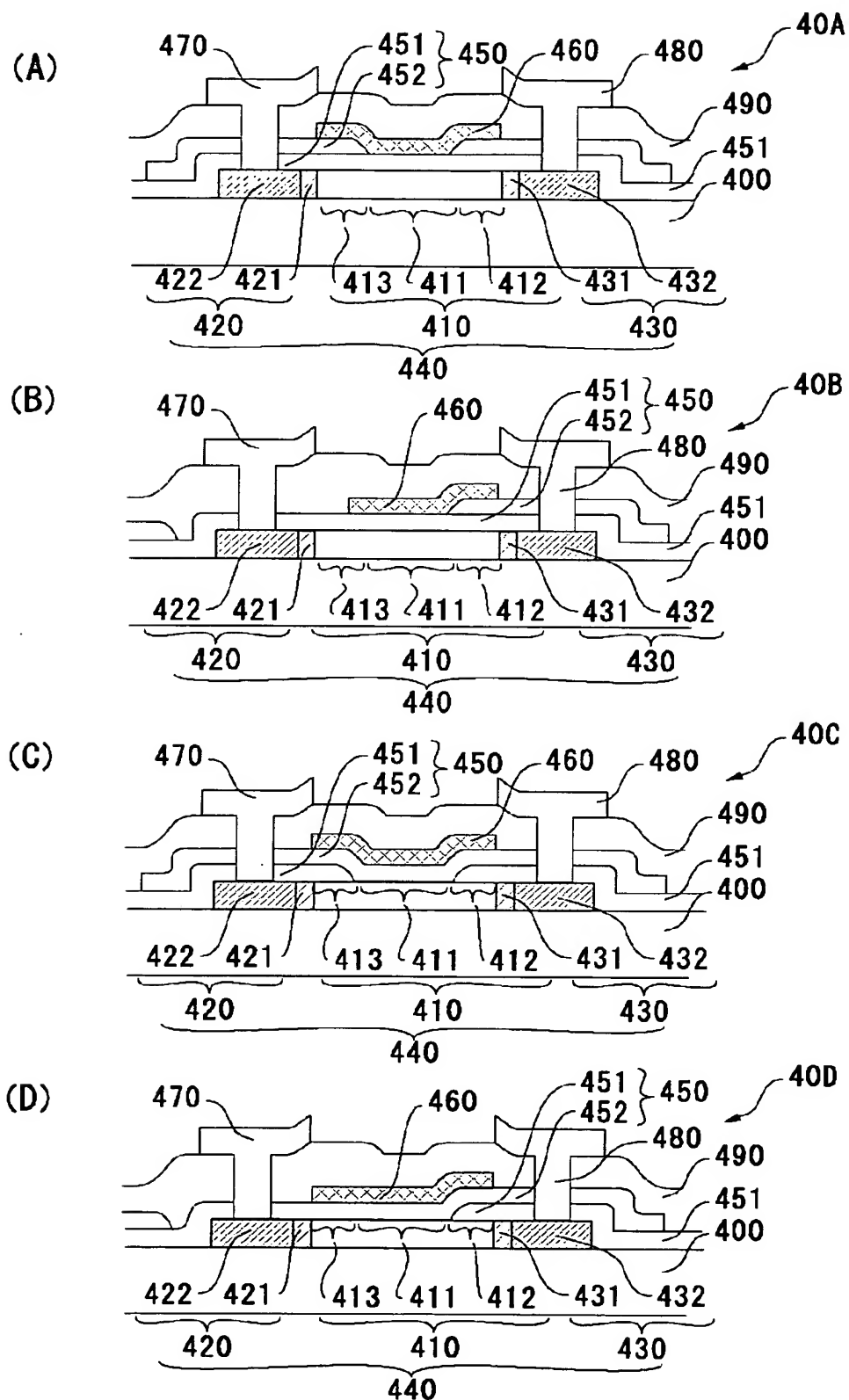
【図 16】 (A)、(B) はそれぞれ、従来のセルフアライン構造の TFT の断面図、および従来の LDD 構造の TFT の断面図である。

【符号の説明】

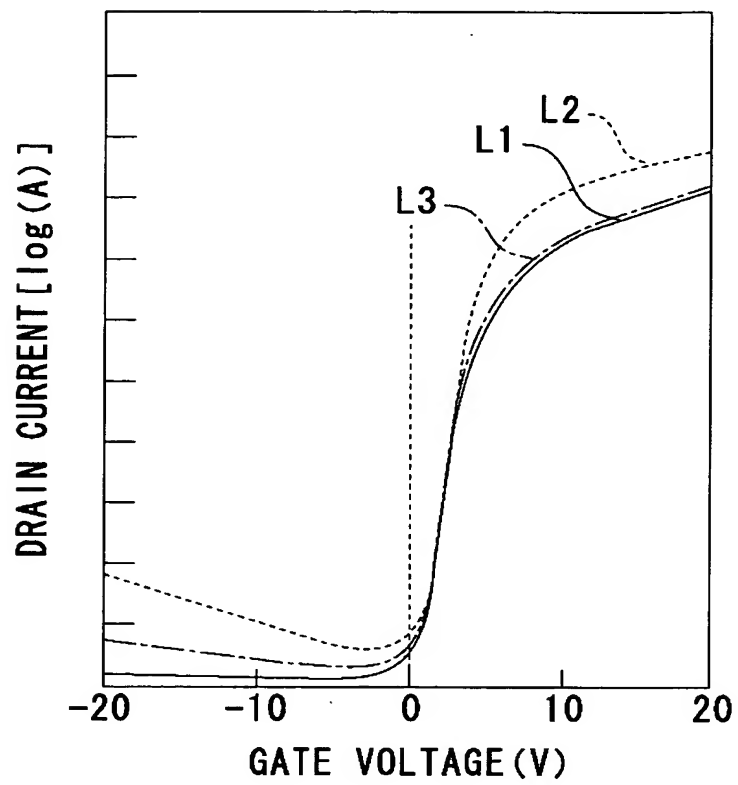
1 a 半導体膜（多結晶のシリコン膜）、2 ゲート絶縁膜、3 a 走査線、3 b 容量線、4、7 層間絶縁膜、6 a データ線、6 b ドレイン電極、9 a 画素電極、10、10 p TFT アレイ基板（半導体装置）、30、31 p、32 p、80、90 TFT（半導体素子）、40 A～40 B トランジスタ、100、100 p 電気光学装置、400 基板、410 チャネル形成領域、411 チャネル形成領域の中央部分、412、413 チャネル形成領域の境界領域、420 ソース領域、421 低濃度ソース領域、422 高濃度ソース領域、430 ドレイン領域、431 低濃度ドレイン領域、432 高濃度ドレイン領域、450 ゲート絶縁膜、451 下層側ゲート絶縁膜、452 上層側ゲート絶縁膜、460 ゲート電極

【書類名】 図面

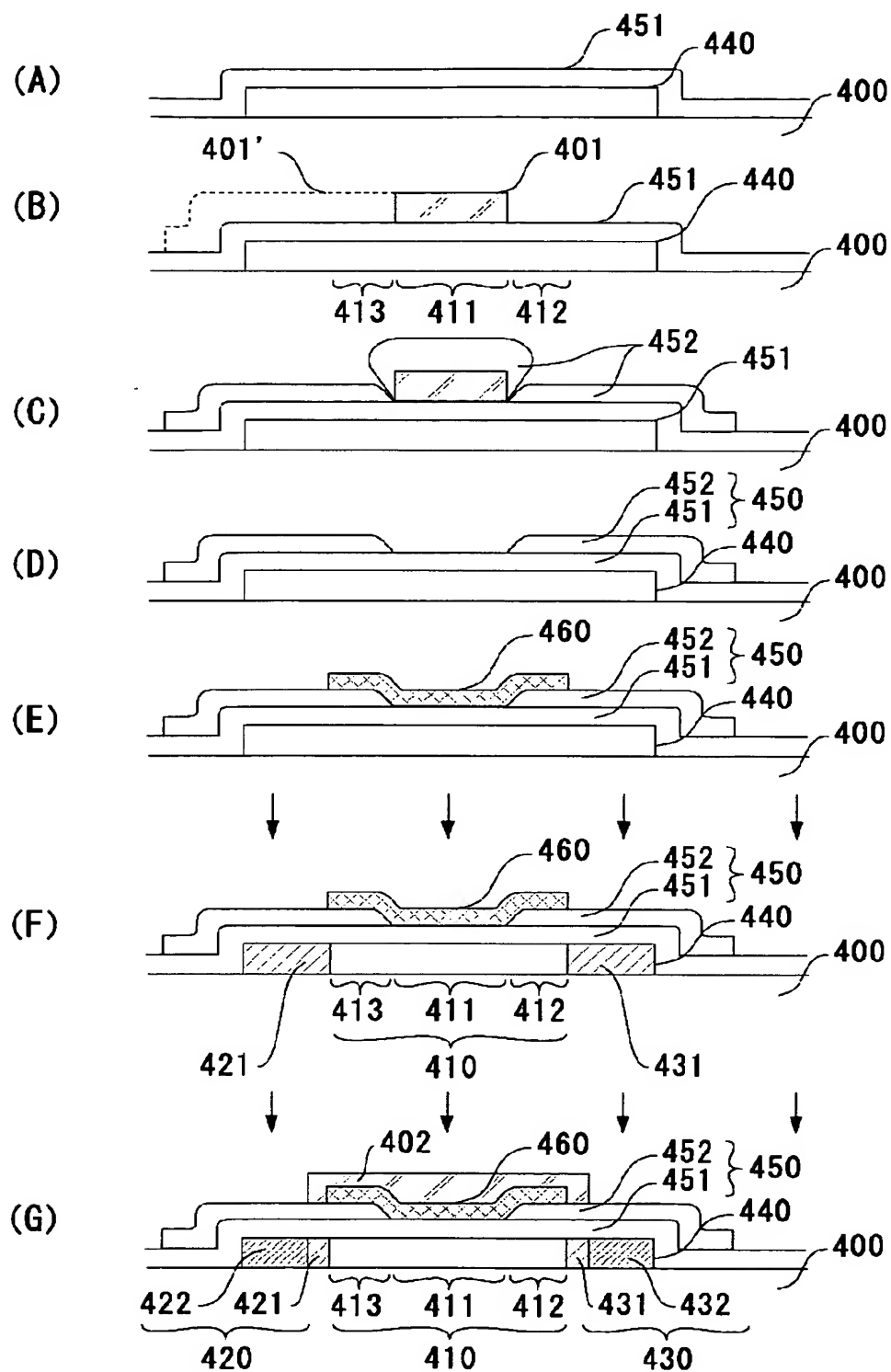
【図 1】



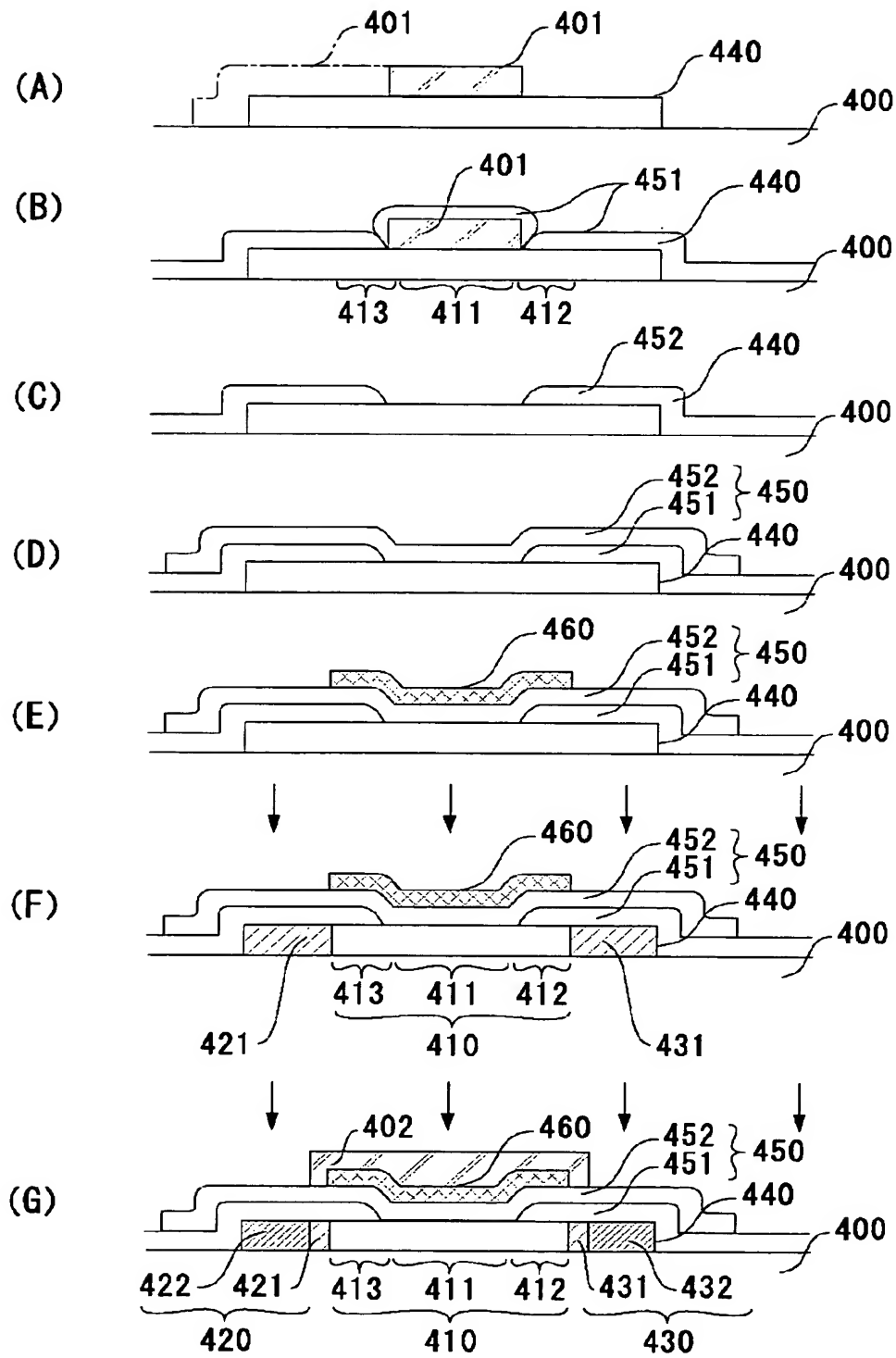
【図 2】



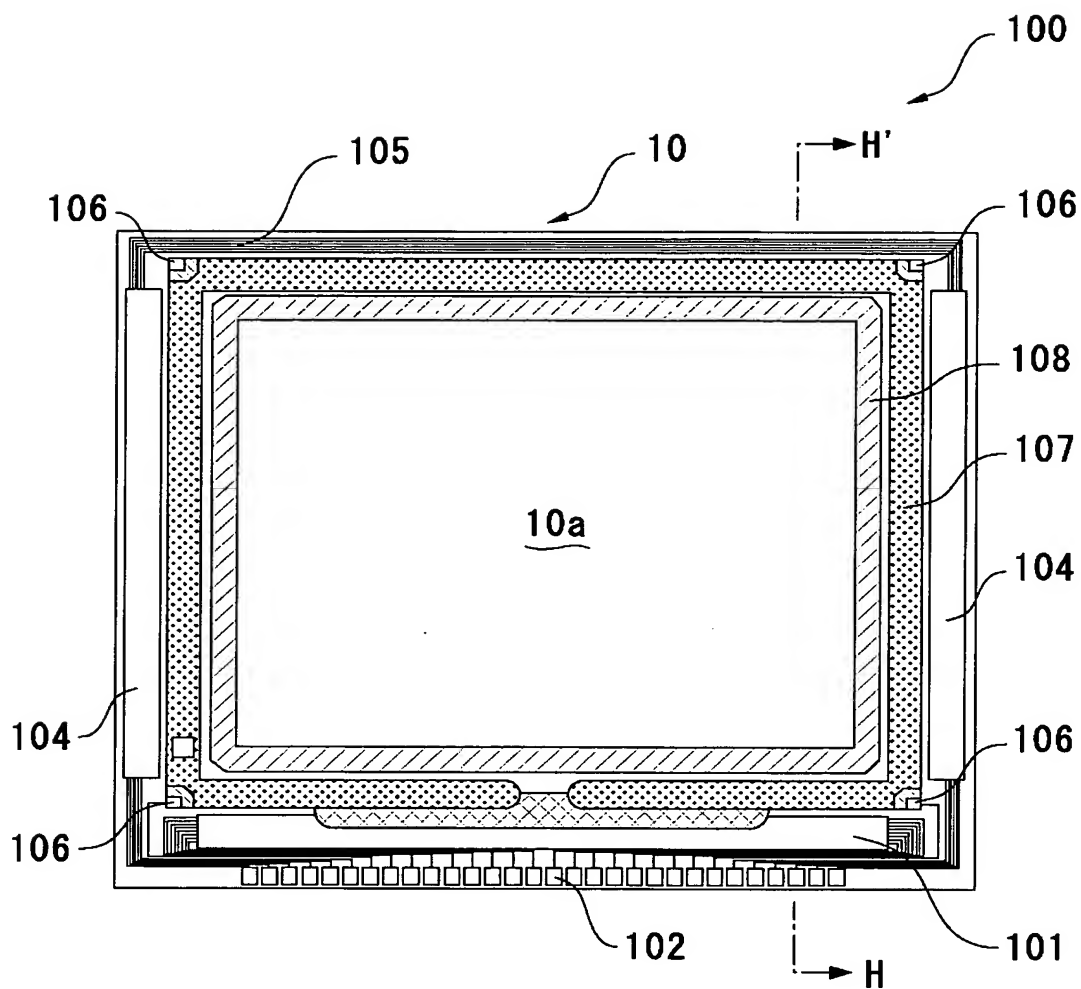
【図 3】



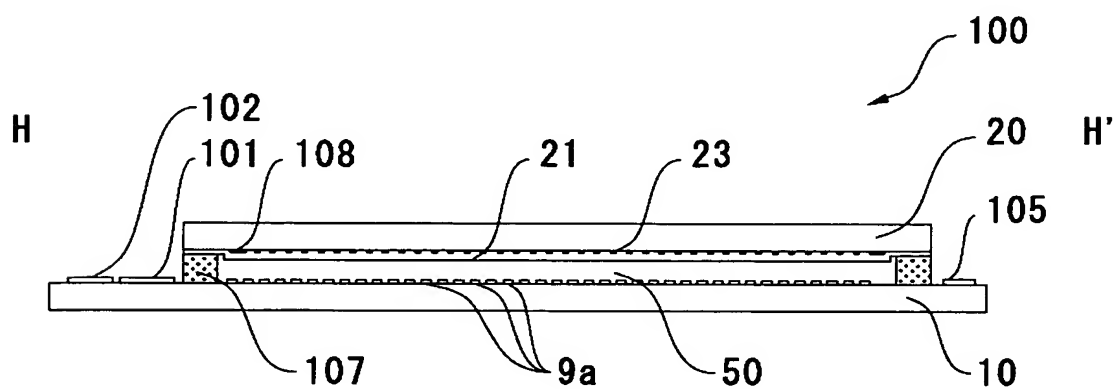
【図 4】



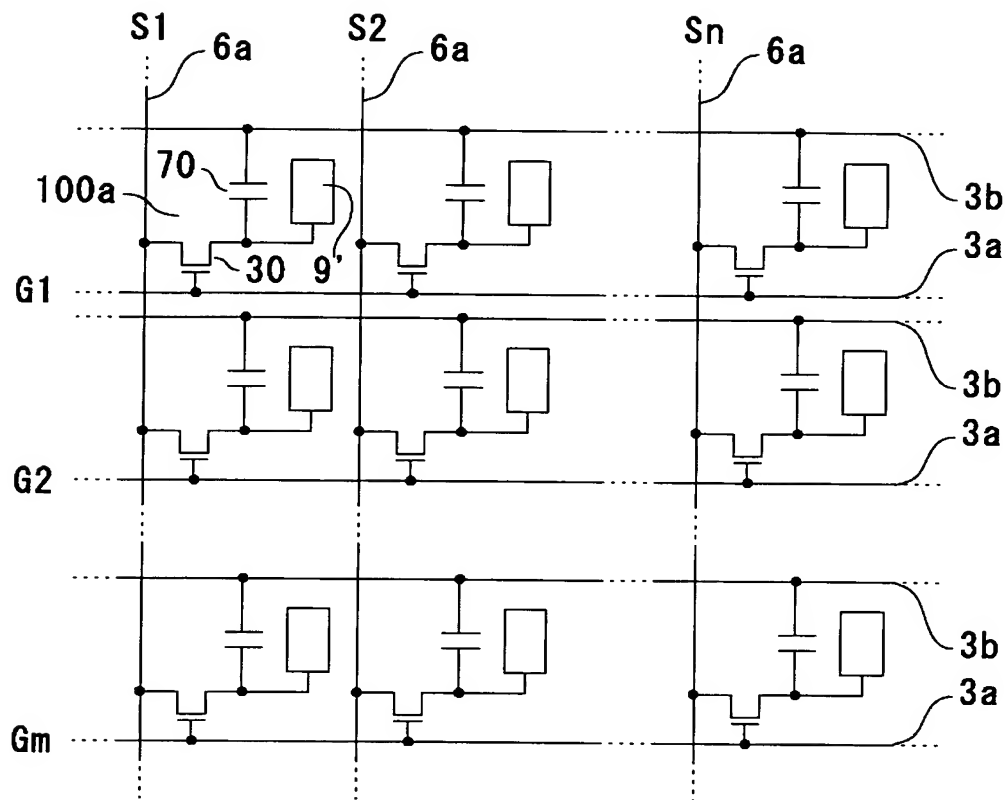
【図 5】



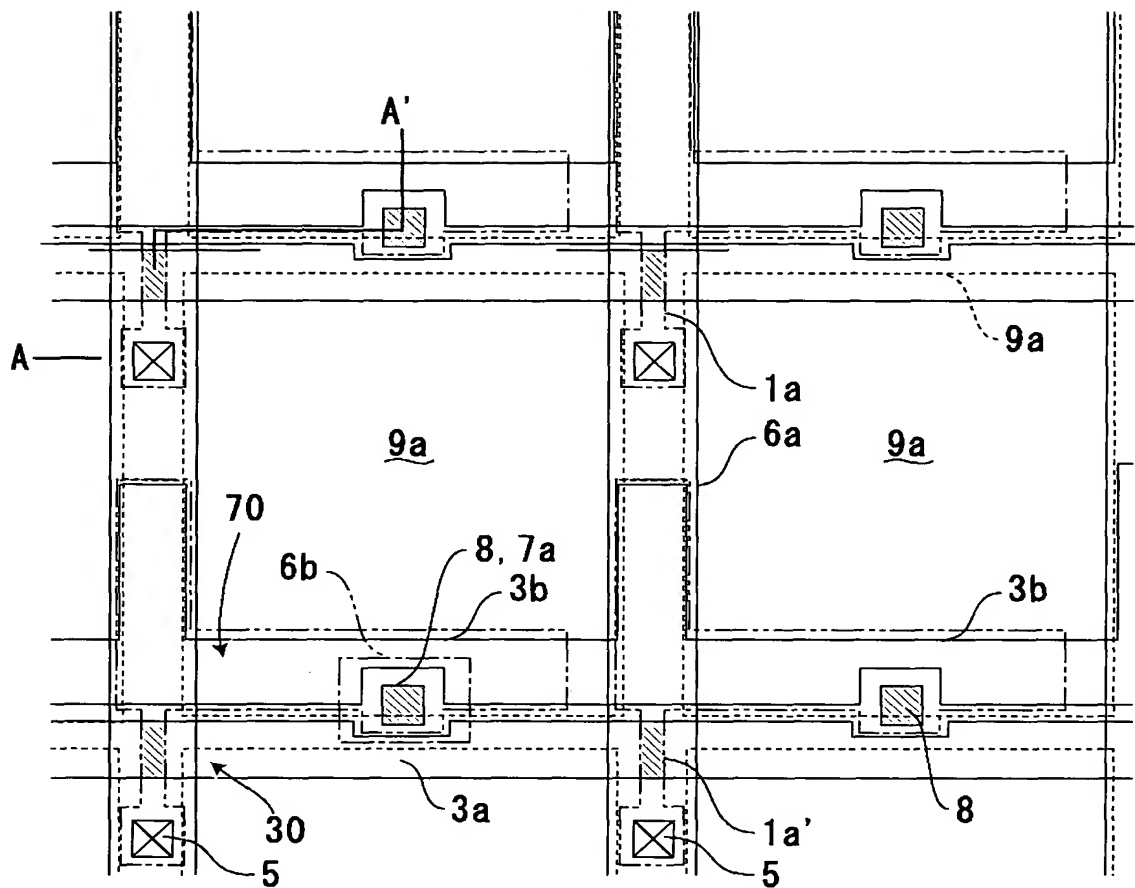
【図 6】



【図 7】

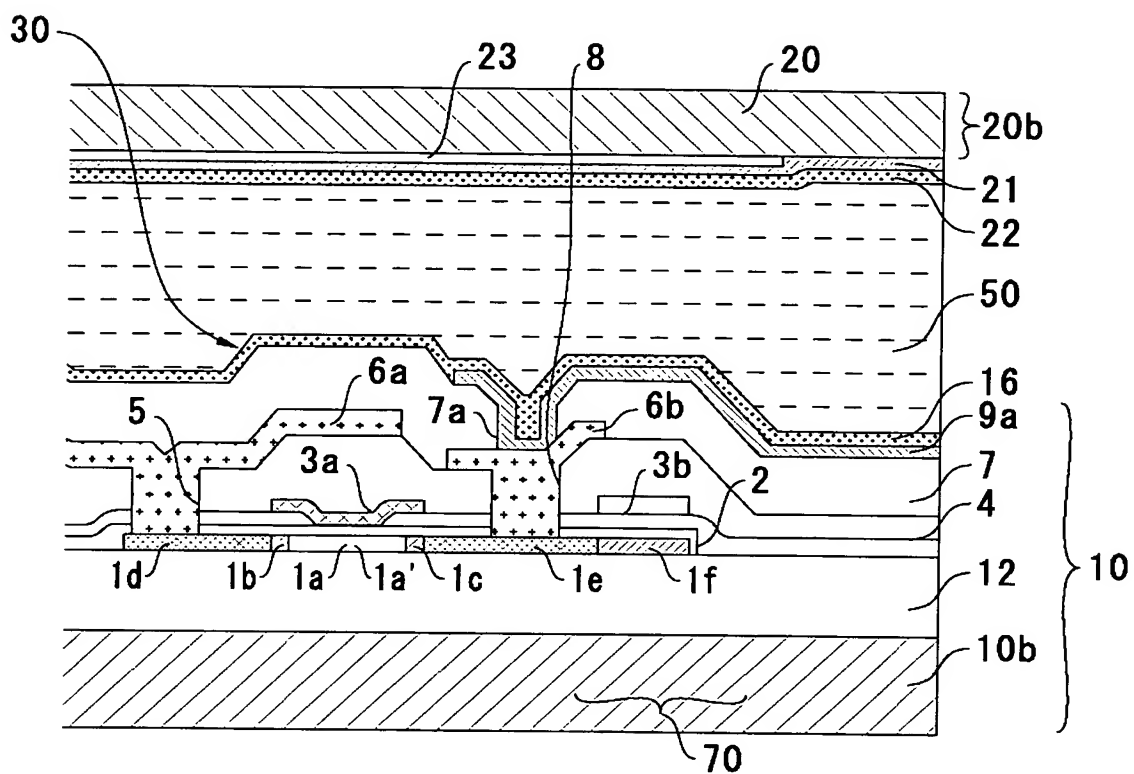


【図 8】

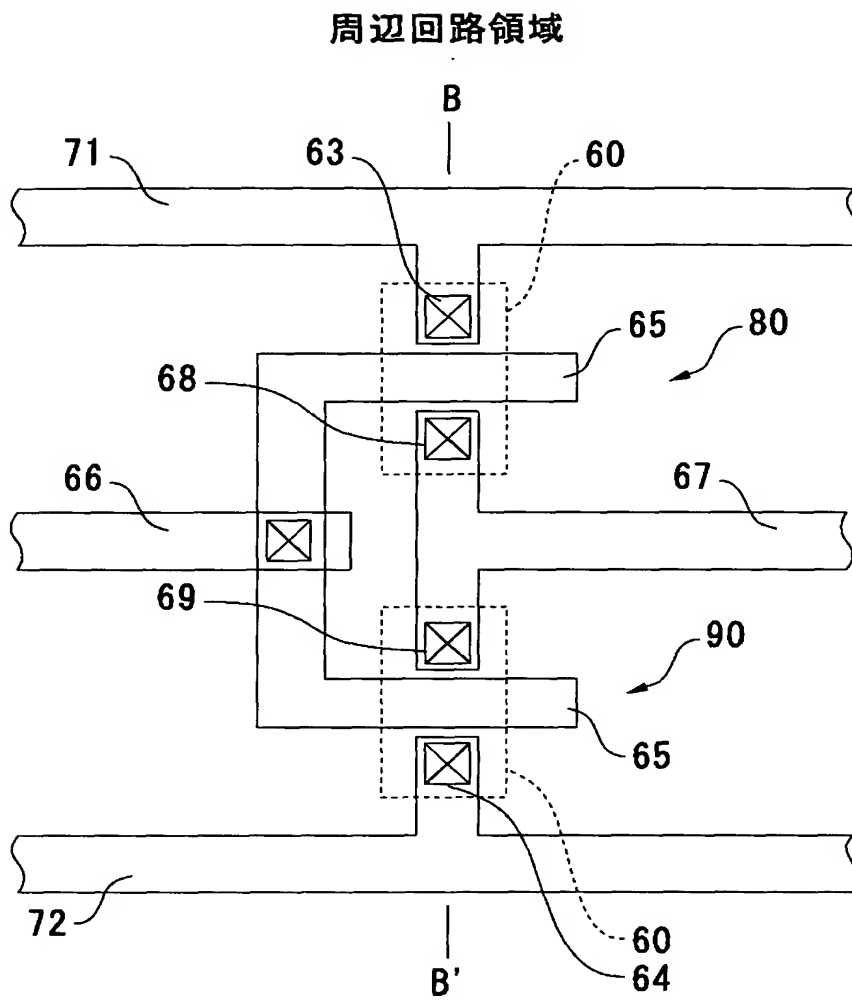


【図 9】

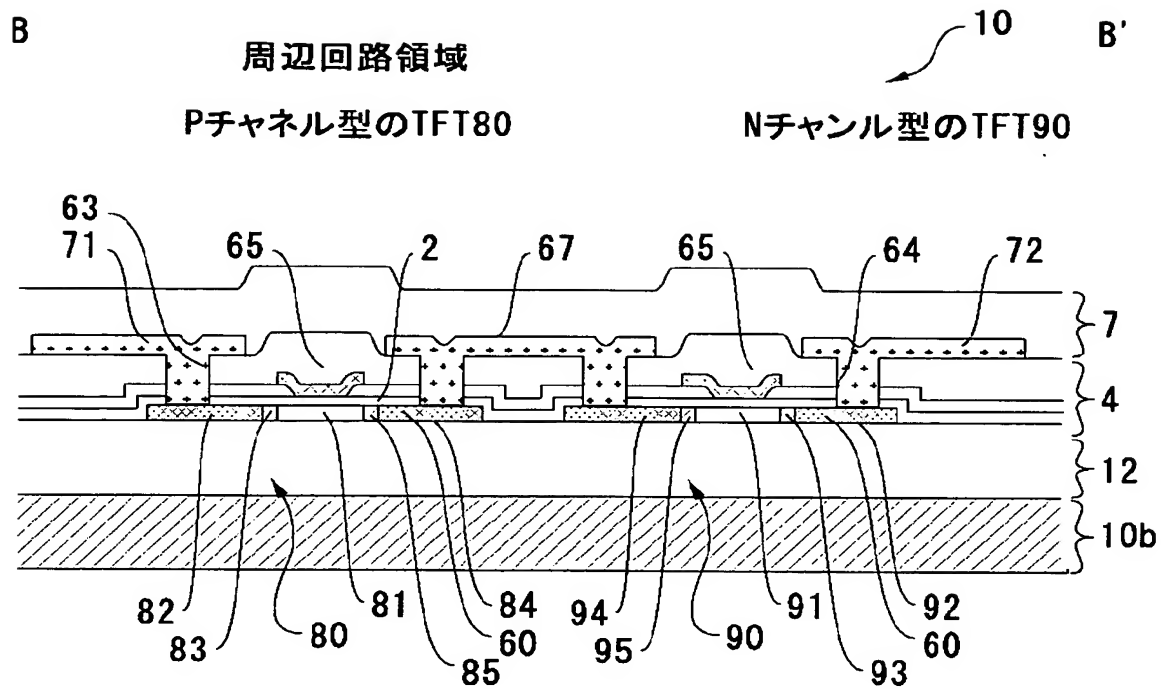
画像表示領域10a



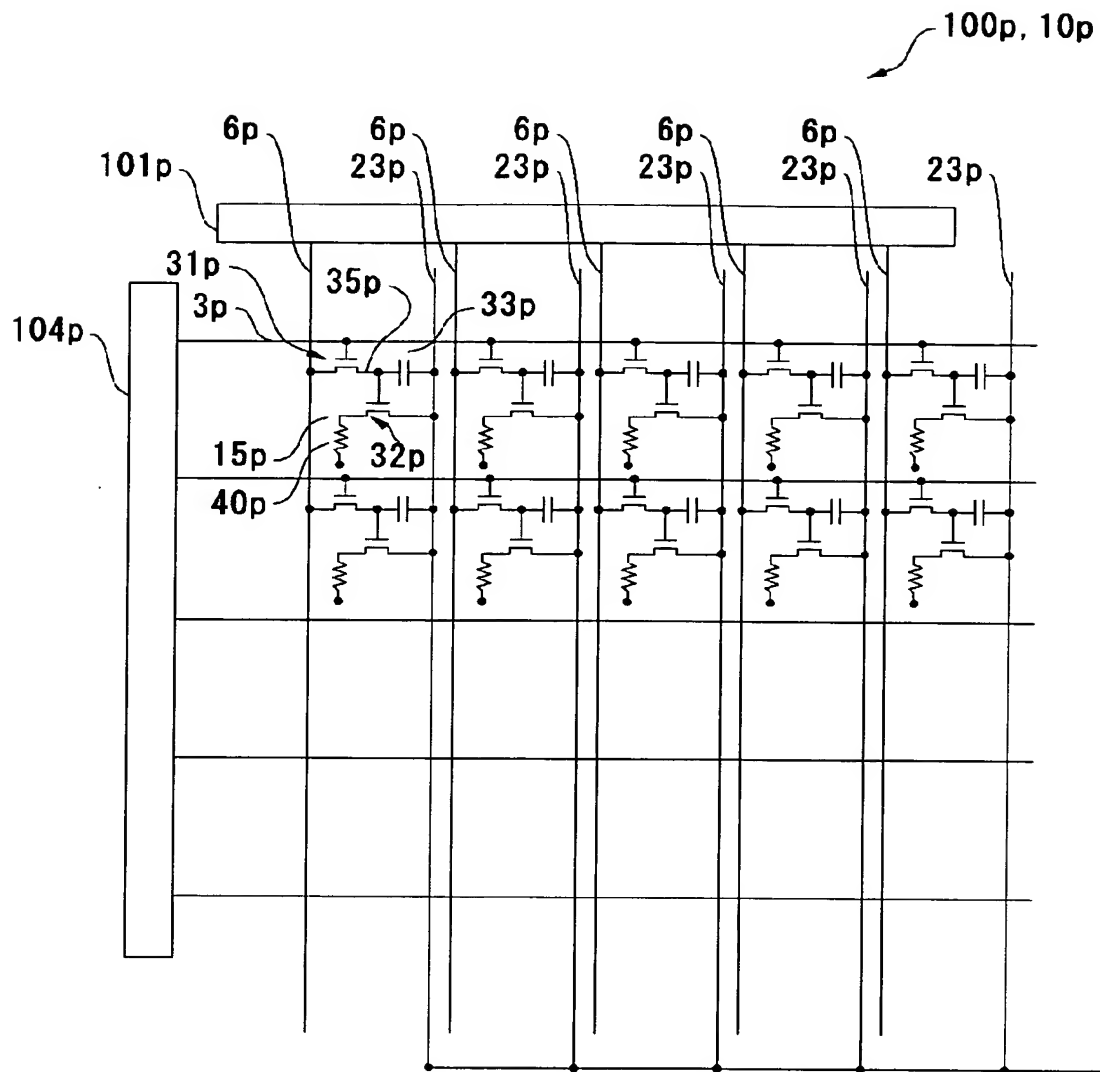
【図 10】



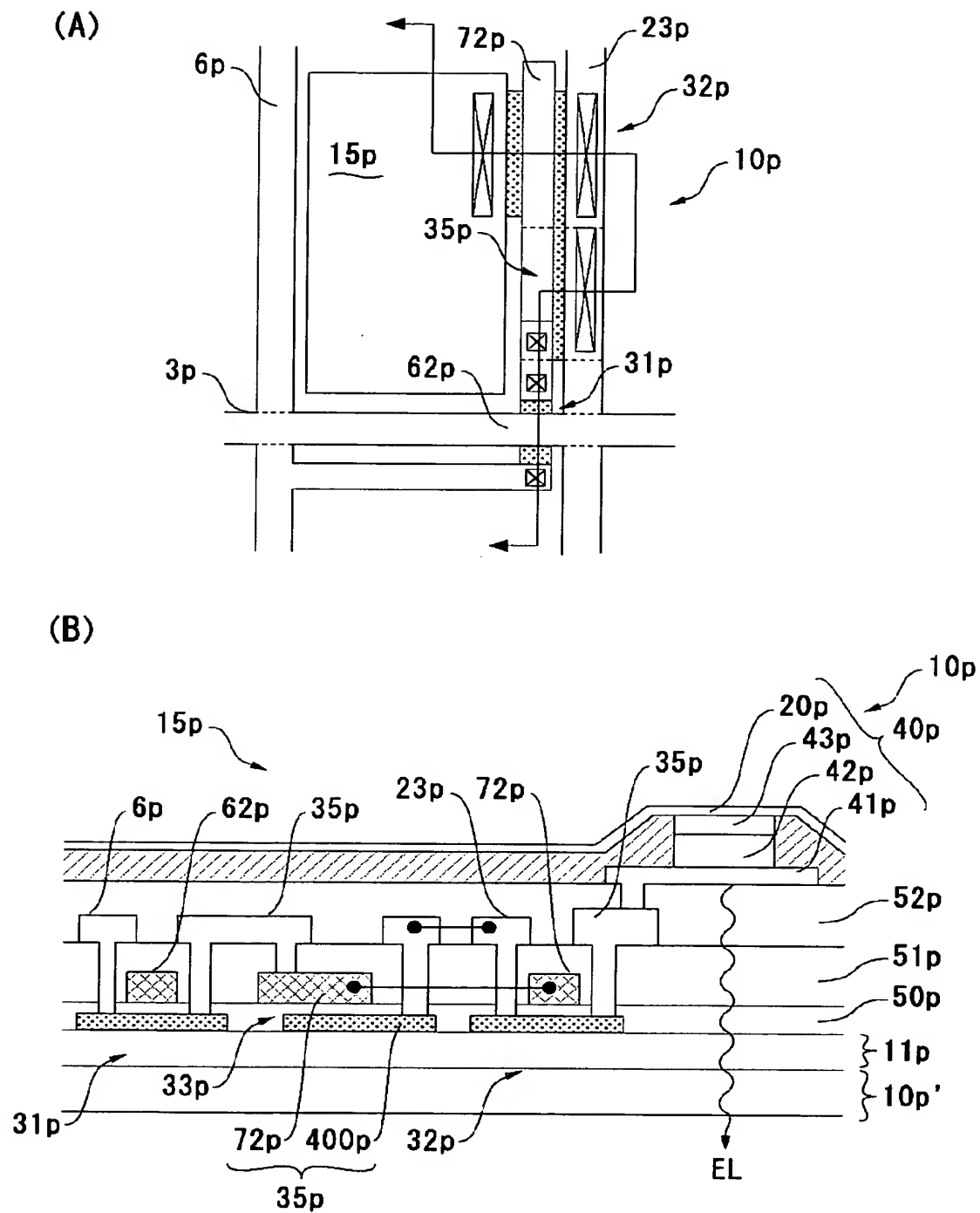
【図 11】



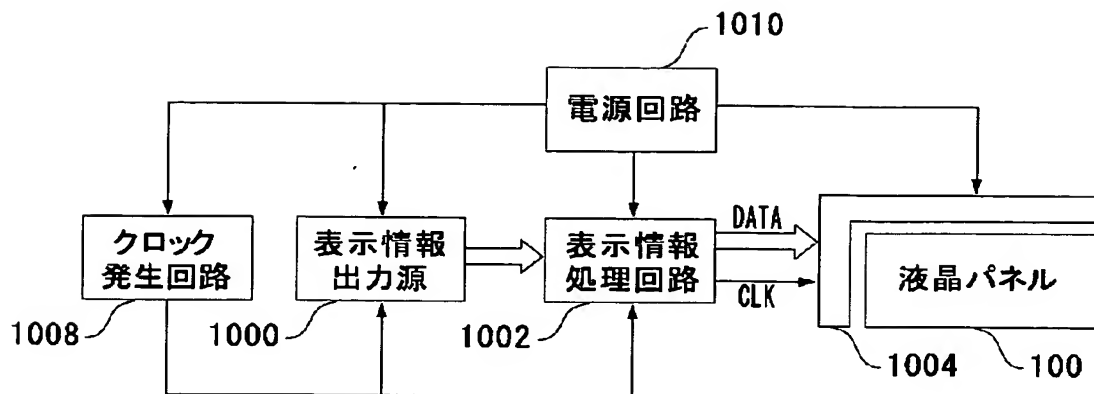
【図 12】



【図 13】

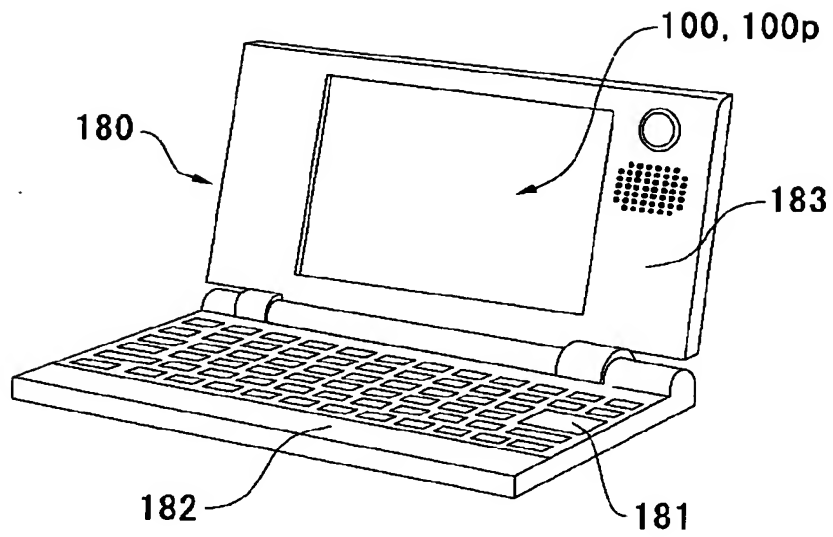


【図 14】

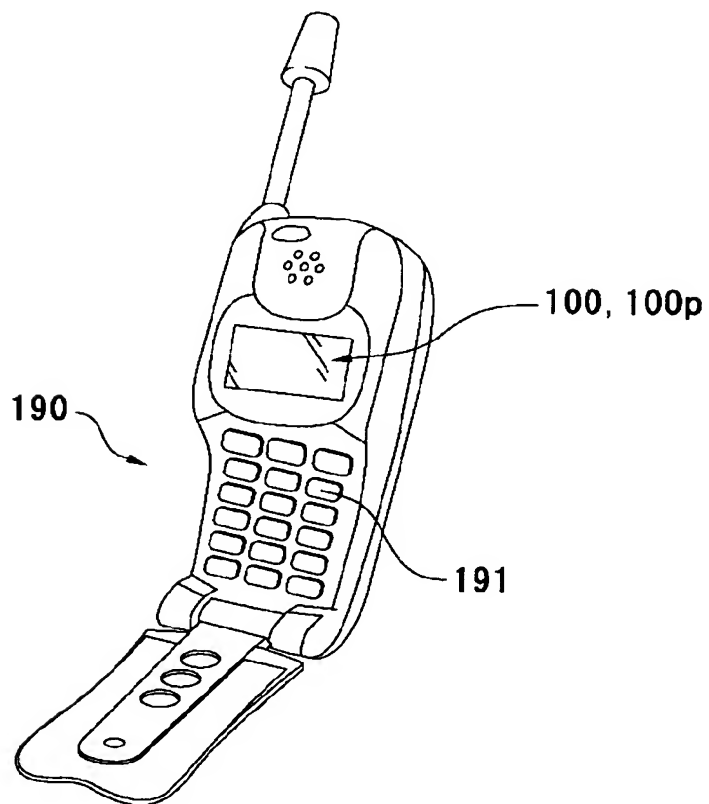


【図 15】

(A)

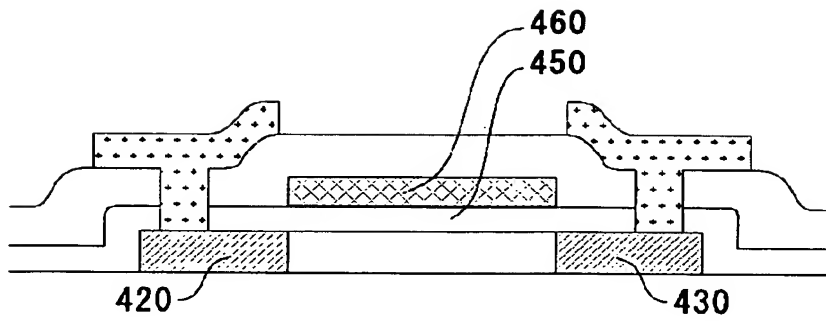


(B)

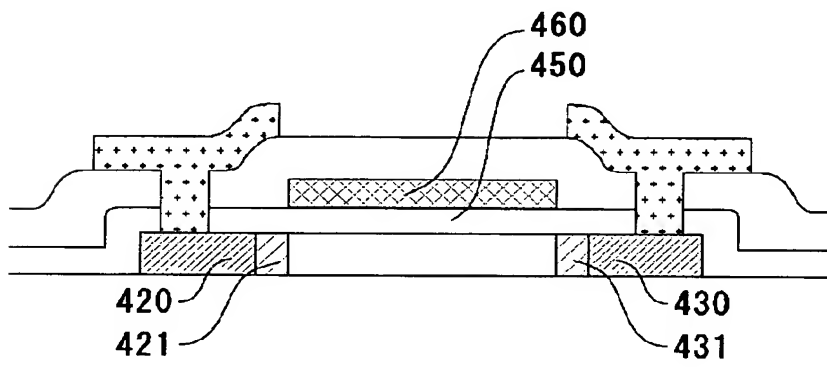


【図 16】

(A)



(B)



【書類名】 要約書

【要約】

【課題】 L D D 構造あるいはオフセットゲート構造のトランジスタのオン電流特性を低下することなく、オフリーク電流特性をさらに向上可能な半導体装置、この半導体装置によって電気光学物質を保持した電気光学装置、この電気光学装置を用いた電子機器、および半導体装置の製造方法を提供すること。

【解決手段】 L D D 構造のトランジスタ 4 0 A において、チャネル形成領域 4 1 0 のうち、低濃度ドレイン領域 4 3 1 および低濃度ソース領域 4 2 1 に隣接する境界領域 4 1 2、4 1 3 と重なる部分のゲート絶縁膜 4 5 0 の膜厚は、チャネル形成領域 4 1 0 のチャネル長方向における中央部分 4 1 1 と重なる部分のゲート絶縁膜 4 5 0 の膜厚に比して厚い。

【選択図】 図 1

特願 2 0 0 2 - 2 7 5 2 0 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社